

L 波段数字声广播接收机 CMOS 集成模拟前端

王自强¹, 池保勇², 林 敏², 韩书光¹, 刘 璐¹, 姚金科¹, 王志华²

(1. 清华大学电子工程系, 北京 100080; 2. 清华大学微电子所, 北京 100084)

摘 要: 本文设计了使用 CMOS 工艺, 单片集成的 L 波段数字声广播 (DAB) 接收机模拟前端. 接收机前端应用了三种方法来提高镜像抑制度: 低中频双正交 weaver 结构比一般的同相/正交 (I/Q) 两路下变频结构具有更高的镜像抑制能力; 镜像抑制低噪声放大器 (LNA) 提供了额外的镜像信号抑制; 具有相位和幅度校正功能的本振驱动器提供了更精确的正交本振信号. 仿真显示接收机前端对镜像信号的抑制超过 65dB, 其级联噪声指数为 4dB, 输出三阶交调指数为 22dBm. 接收机前端使用 TSMC 0.25 μ m CMOS 工艺制作, 版图核心面积为 9mm², 目前正在测试中.

关键词: CMOS; 射频; 接收机前端; 集成; 低中频; weaver; 镜像抑制; 低噪声

中图分类号: TN432 **文献标识码:** A **文章编号:** 0372-2112 (2005) 02-0254-04

A CMOS Analog Integrated Front End for L Band DAB Receiver

WANG Zi-qiang¹, CHI Bao-yong², LIN Min², HAN Shu-guang¹, LIU Lu¹, YAO Jin-ke¹, Wang Zhi-hua²

(1. The Department of Electronic Engineering, Tsinghua University, Beijing 100084, China;

2. The Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: A fully integrated CMOS low-IF weaver receiver working at L-band for DAB (Digital Audio Broadcasting). The receiver takes use of three methods to enhance the image reject performance. Compared with traditional In-phase and Quadrature (I/Q) structure, double quadrature weaver architecture performs higher image reject. An image-reject Low noise Amplifier (LNA) supplies additional image reject in the whole band. The phase and magnitude calibration circuit in LO buffer improves the quadrature of the LO signals. As a result, the receiver can reject the image signal more than 65dB. The cascade noise figure is 4dB and OIP3 is 22dBm. The receiver is fabricated with 0.25 μ m TSMC CMOS technology. The core die area is 9mm². It is now under test.

Key words: CMOS; RF receiver; low-IF; weaver; quadrature; image-reject; low noise

1 引言

数字声广播 (DAB-Digital Audio Broadcasting) 是第三代广播系统, 比调幅 AM 和调频 FM 广播具有更出色的性能. 它使用 OFDM 调制方式, 信道带宽是 1.536MHz. 数字声广播具有 4 种不同的体制, 其中卫星数字声广播工作在 L 波段 (1452 ~ 1492MHz). 一些文章^[1,2] 设计了应用于卫星通信的分立接收机前端, 而集成接收机前端将节省芯片面积, 减少分立元件接口产生的噪声和干扰, 并降低整体功耗. 可是因为集成电路难以实现工作在高频率、具有高抑制能力的带通滤波器. 因此集成接收机前端和传统的分立超外差接收机前端相比, 其镜像信号抑制能力较差. 一般集成接收机前端使用同相和正交两路变频将信号变换到基带, 然后在数字域中利用有用信号和镜像信号不同的相位将它们分开. 但 I/Q 两路有限的匹配使得镜像信号的抑制只能达到 35dB 左右. 另一种方法是使用具有镜像抑制功能的 weaver 结构, 但它同样对电路的失配十分敏感.

本文设计了具有高镜像抑制能力的 CMOS 集成接收机模拟前端, 它使用正交 weaver 结构^[3] 克服电路失配对镜像信号抑制的影响. 前端的低噪声放大器包括了一个梳状滤波器, 进一步起到滤除镜像信号的作用. 而本振驱动器中的校正电路则改善了从无源多项滤波器输出的本振信号的正交性. 所有这些改进使得接收机前端能够提供 65dB 的镜像信号抑制.

本文第 2 节详细描述了接收机前端的结构特点; 第 3 节讲述了各个单元电路的设计和仿真结果, 包括低噪声放大器、双平衡混频器、本振驱动器、低中频低通滤波器和各级的变增益放大器; 第 4 节讨论了接收机前端自顶至下的设计方法, 并给出了整体仿真结果; 第 5 节是文章的总结.

2 接收机模拟前端结构

零中频接收机具有最好的集成度, 但是它受到低频时变的直流失调信号和闪烁噪声 (1/f noise) 的干扰. 尽管目前已经提出了许多方法来克服这一缺点^[4], 但这需要额外的电路和更多的功耗, 或者是信号低频信息的损失. 如果将信号下变

频变增益放大器和 4 个中频无源混频器。Gilbert 混频器有 10dB 的转换增益,减小了后级电路噪声的影响。当接收信号到达中频的时候,它已经具有一定的功率,所以对中频混频器而言,它的线性度比增益或噪声性能更重要,因此使用无源开关型混频器实现第二次变频。它的另一个优点是静态功耗为 0。无源混频器的插入损耗是 3.2dB,输入三阶交调点为 15dBm。由这 6 个混频器构成的 weaver 结构可以提供大约 35dB 的镜像抑制,加上低噪声放大器大于 30dB 的镜像抑制,整个接收机前端的镜像信号抑制在 65dB 以上。

第一中频变增益放大器位于射频和中频混频器之间,取代了传统 weaver 结构中的低通滤波器。一方面变增益放大器自身是低通特性,能进一步衰减高频信号;另一方面,放大器可以改善接收机前端的噪声性能,并减小中频混频器输入端信号动态范围的要求。第一中频变增益放大器使用跨导增强结构^[6],通过改变负载电阻实现增益控制。该变增益放大器的工作带宽达到 200MHz,实现 0~20dB 的增益控制,等效输入噪声为 5.74nV/√Hz,当输出信号峰峰值小于 200mV 时,总谐波失真小于 -60dB。

3.3 低通滤波器和第二中频变增益放大器

无源混频器后的第二中频信号处理部分包括滤波器前的变增益放大器(简称前置放大器),低通滤波器和滤波器后的变增益放大器(简称后置放大器)。有源实数低通滤波器的作用是滤除边带信号,获得有用信号。由于使用低通滤波器而且有用信号没有被下变频到基带,所以模数变换器后得到的数字信号中包含了有用信号的邻带信号和第二镜像信号,不过它们可以在数字域中被滤除。5 阶椭圆函数低通滤波器用跨导-电容(G_m-C)结构实现,通带带宽 3MHz,带内纹波 0.5dB;阻带带宽 4MHz,带外抑制大于 40dB;在输入峰峰值 200mV 的情况下,输出信号的总谐波失真小于 1%;滤波器输入信号的动态范围为 50dB。

前置放大器由两级相同的放大单元级联构成,放大单元使用源级负反馈结构。放大器的增益控制范围是 -20~40dB,用 3-8 译码器实现数字控制,每 10dB 一级。放大器的输入噪声是 5nV/√Hz,当输出信号峰峰值小于 200mV 时(低通滤波器的输入要求),总谐波失真小于 -65dB,功耗为 3.25mW。

后置变增益放大器也包括两级电路。第一级放大器使用和前置放大器类似的结构,它实现直流电平的变换并驱动后级电路,同时提供 0/10dB 增益。第二级放大器采用基于运算放大器的闭环结构,增益近似由运放的反馈电阻和输入端电阻的比值决定。由于该放大器是接收机前端的最后一级,因此它需要具有较高的线性。下面对它进行更深入的分析。放大器的半边等效电路如图 4,输入 V_{in} 和输出 V_{out} 之间的关系满足式(1),假设 $R_{in} \ll R_1$ 且 $R_{in} \ll R_2$,那么式(1)中的误差项可以重写为式(2),定义运放的开环增益是 $A = G_m R_{out}$,其中 G_m 代表在输出级看到的运放的等效跨导,式(2)表示的误差项可以简化成式(3):

$$\frac{V_{in}}{V_{out}} = -\frac{R_1}{R_2} + R_1 \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_{in}} \right) \left(\frac{R_2 + R_{out}}{AR_2 + R_{out}} \right) \quad (1)$$

$$\frac{V_{in}}{V_{out}} = R_1 \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \frac{(R_2 + R_{out})}{AR_2 + R_{out}} \quad (2)$$

$$R_1 \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \frac{(R_2 + R_{out})}{AR_2 + R_{out}} = \left(\frac{R_1 + R_2}{R_2} \right) \left(\frac{1}{G_m R_2 + 1} \right) \left(\frac{R_2}{R_{out}} + 1 \right) \quad (3)$$

根据式(1)~(3),由于电阻 R_1 和 R_2 是线性的,放大器输出信号的非线性来源于非线性的等效跨导 G_m 和输出电阻 R_{out} 。在大信号输出的情况下,运放输出节点的电压变化很大,导致输出电阻也变化很大,输出信号的失真主要

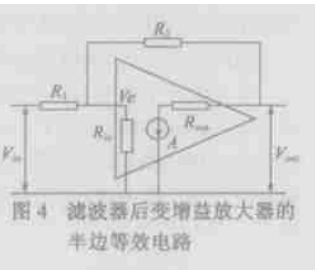


图4 滤波器后变增益放大器的半边等效电路

来源于 R_{out} 。所以为了减小失真,应该改善运放输出电阻的非线性,而非提高运放的低频增益。基于以上的分析结果,闭环放大器在输出级使用电阻作为负载。第二级放大器提供 0~21dB 的增益控制,每级增益 3dB,当输出信号峰峰值为 2V 时,其总谐波失真低于 -70dB。整个后置放大器的等效输入噪声是 4.76 nV/√Hz,直流功耗是 5.15mW。

3.4 本振驱动电路

本振驱动电路包括高频放大器,无源多相滤波器和相位/幅度校正电路。高频放大器放大本振信号,补偿后级电路的损耗;无源多项滤波器产生正交本振信号;而校正电路则降低

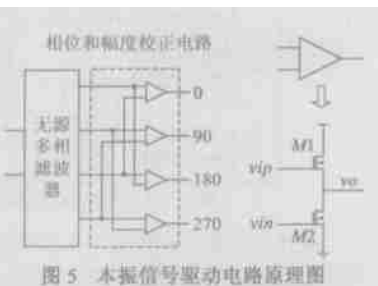


图5 本振信号驱动电路原理图

了前级输出正交信号的幅度和相位误差,同时兼具驱动混频器的功能。无源多项滤波器对电阻、电容元件的值十分敏感,一旦元件之间出现失配,同相/正交两路输出信号间的正交性将变差。这里提出了一种简单的幅度/相位校正方法,如图 5 所示。 $M1$ 和 $M2$ 都是 NMOS 管,它们的栅极连接差分信号,当 $M1$ 管是输入管时,这是一个源级跟随器;当 $M2$ 管是输入管时,这是一个共源放大器。假设两个放大器的增益相同,那么输出信号是:

$$A \sin(t + \theta) - A \sin(t + 180) = 2A \sin(t + \theta/2) \cos(\theta/2) \quad (4)$$

其中 θ 是两路差分信号的相位误差。式(4)表明通过电压求和电路,相位误差 θ 减小了一半。当差分信号间存在幅度误差时,该电路也能起到校正作用。仿真显示,全差分正交本振信号驱动器通过使用校正电路能降低了 50% 以上的相位误差和 75% 以上的幅度误差。

4 接收机前端的仿真和流片

接收机前端使用了自顶至下的设计方法。首先使用 ADS (Advanced Design System) 软件进行了系统级的设计。在集成仿真环境下,接收机前端的放大器,混频器和滤波器等单元都用系统模块代替,根据整体性能要求给各个模块分配适当的

指标,设定相应的参数.由这些模块构造如图 1 所示的接收机前端,并进行交流小信号分析、谐波平衡分析 (Harmonic Balance) 和包络分析 (Envelope) 等仿真得到模拟前端的性能.将系统仿真的结果和接收机的整体指标进行比较,如果不合要求,则返回修改各模块的参数,甚至是接收机的结构,如此循环直到满足设计指标.然后根据系统仿真的结果开始晶体管级电路的设计.该流程如图 6 所示.这一方法加快了设计进程,提高了设计的可靠性.

该接收机使用 TSMCO. 25 μm CMOS 工艺进行设计,使用 Cadence 和 ADS 作为仿真工具.在完成各模块电路设计的基础上,进行了接收机整体的晶体管级仿真.仿真中接收机前端输入信号的频率是 1468MHz,功率是 -90dBm,输出信号的功率是 7dBm.其中的低噪声放大器和各级变增益放大器可以提供大于 120dB 的增益控制范围.接收机前端的级联噪声指数为 4dB,输出三阶交调点为 22dBm.低噪声放大器和双正交 weaver 结构分别提供了 30dB 和 35dB 的镜像信号抑制.所以整个模拟前端对第一镜像信号的抑制超过 65dB.接收机前端中不同的工作模块使用了不同的电源电压以优化电路性能,包括高功耗的驱动电路在内,整体功耗为 310mW.图 7 是接收机前端的版图,其中

包括了各模块的测试电路.接收机的核心尺寸为 9mm².接收机前端的整体指标总结在表 1 中.

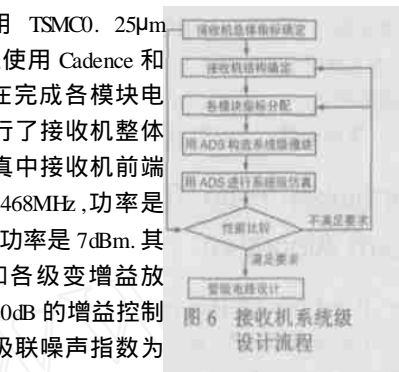


图 6 接收机系统级设计流程

表 1 接收机前端仿真性能总结

工艺	TSMC CMOS 0.25 μm
噪声指数(NF)	4dB
输出三阶交调(OIP3)	22dBm
增益控制范围	> 120dB
镜像信号抑制	> 65dB
功耗	310mW
核心面积	9mm ²

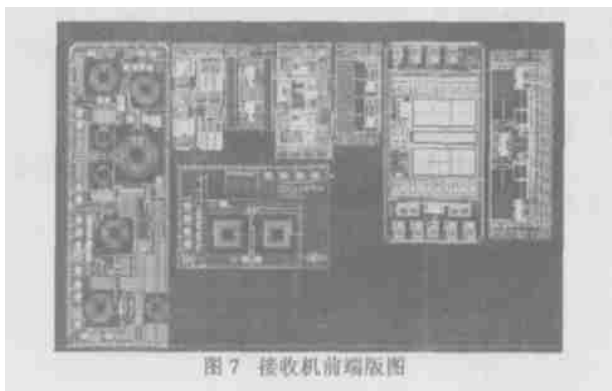


图 7 接收机前端版图

5 结论

本文设计了用于 DAB 的全集成 CMOS 低中频双正交 weaver 接收机.其中的低噪声放大器包含射频梳状滤波器,提供额外的镜像信号抑制.本振信号驱动电路使用了新结构的幅度/相位校正电路,提高了正交本振信号的精度.第一中频变增益放大器补偿无源混频器的插入损耗,改善了接收机前端的噪声性能.后面的第二中频放大器则提供了高线性的输出信号.

该接收机模拟前端工作在 L 波段,每个信道的宽度是 1.5MHz.接收机前端提供大于 65dB 的镜像信号抑制能力,级联噪声指数是 4dB,输出 3 阶交调点高于 20dBm.

参考文献:

- [1] G Gali, et al. A low voltage RF receiver for digital satellite radio[A]. IEEE MTT-S Digest[C]. Baltimore, Maryland (USA), 1998. 06. 349 - 352.
- [2] Ward Titus, et al. A SI BJT RF dual band receiver IC for DAB[A]. IEEE Radio Frequency Integrated Circuit Symposium[C]. Baltimore, MD(USA), 1998. 06. 297 - 300.
- [3] Jan Crols, Michel S.J. Steyaert. A single-chip 900-MHz CMOS receiver front-end with a high performance low-IF topology[J]. IEEE J. of Solid State Circuits, 1995, 30(12): 1483 - 1492.
- [4] WANG Zi-qiang. Wireless receiver architectures for SOC[A]. ZHANG Chun, WANG Zhi-hua ASICON[C]. Beijing, 2003. 10: 877 - 881.
- [5] John W M Rogers, et al. A completely integrated 1.9-GHz receiver front-end with monolithic image-reject filter and VCO[J]. IEEE Transactions on Microwave Theory and Techniques, 2002, 50(1): 210 - 215.
- [6] Kwang-Jin Koh. A gain boosting method at RF frequency using active feedback and its application to RF variable gain amplifier (VGA) [A]. Yong-Sik Youn, Hyur Kyu Yu. ISCAS[C]. Scottsdale, Arizona (USA), 2002. 05. 26 - 29.

作者简介:



王自强 男,1975 年生于北京,1999 年获得清华大学电子工程系学士学位,现为清华大学电子工程系博士研究生,主要研究方向为 CMOS 模拟集成电路设计. E-mail: wangzq99@mails.tsinghua.edu.cn.

池保勇 男,1998 年获得清华大学微电子所博士学位,现为清华大学微电子所讲师,主要研究方向为 CMOS 射频集成电路设计.